

- A. 编码器 B. 半加器 C. 译码器 D. 触发器
- 6、OC 门输出时，其输出端要接_____。
- A. 下拉电阻 B. 上拉电阻 C. 直接接电源 D. 直接接地
- 7、JK 触发器正确的表达是_____。
- A. 主从 JK 触发器没有空翻现象 B. JK 之间有约束
- C. 主从 JK 触发器的特性方程是 CP 上升沿有效 D. 多谐振荡器
- 8、已知 CMOS 逻辑门供电电压为 V_{DD} ，则其门槛电压为：_____。
- A. $\frac{V_{DD}}{2}$ B. $\frac{V_{DD}}{3}$ C. $\frac{2V_{DD}}{3}$ D. V_{DD}
- 9、三个触发器组成的计数器最多有_____个有效状态。
- A. 4 B. 6 C. 8 D. 16
- 10、同步时序电路和异步时序电路比较，其差异在于后者_____。
- A. 没有触发器 B. 没有统一的时钟脉冲控制
- C. 没有稳定状态 D. 输出只与内部状态有关

四、基本计算题（共 20 分）

- 1、用代数法化简下列逻辑式（共 2 题，每题 5 分）

(1) $Y = \overline{AB + \overline{A} \cdot \overline{B} + \overline{AB} + AB}$

(2) $Y = \overline{A} \cdot \overline{B} \cdot \overline{C} + A + B + C + D$

- 2、用卡诺图化简下列表达式（共 2 题，每题 5 分）

(1) $Y = A\overline{B} + B\overline{C}\overline{D} + ABD + \overline{A}B\overline{C}D$

(2) $Y(A, B, C, D) = \sum m(0, 2, 3, 4, 11, 12) + \sum d(1, 5, 10, 14)$

五、组合逻辑设计题（共 28 分）

- 1.（本题 14 分）、试利用与非门设计一组合电路，其输入为一个三位二进制数 ABC，当输入能被 2 或 3 整除时，输出 F=1，其余情况 F=0。（设 0 能被任何数整除）试设计产生输出信号的逻辑电路。要求：

- (1) 列出真值表；（5 分）
- (2) 写出输出函数的最简与非-与非式；（5 分）
- (3) 画出用与非-与非逻辑门实现的逻辑电路图。（4 分）

- 2.（本题 14 分）某体育比赛有三名裁判，一名主裁，二名副裁，只有主裁和至少一名副裁同时同意才算比赛通过，试用 74LS151（图 1）实现该比赛裁决逻辑电路，要求：

- (1) 试列出真值表；（5 分）
- (2) 写出表达式；（5 分）
- (3) 画出逻辑电路图。（4 分）

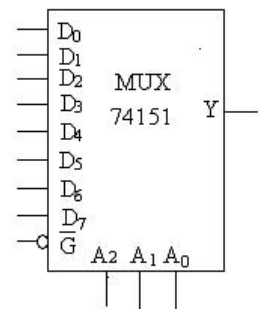


图 1

六、组合逻辑电路分析题（共 24 分）

- 1、（本题 12 分）试分析（图 2）所示电路的逻辑功能，要求：
- （1）写出表达式；（4 分）
 - （2）列出真值表；（4 分）
 - （3）说明逻辑功能。（4 分）

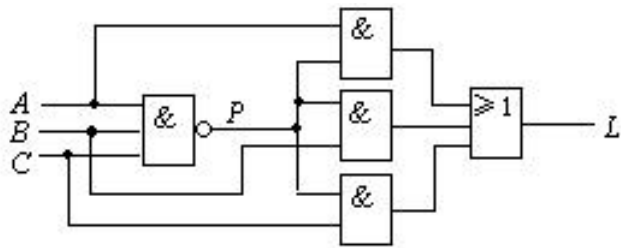


图 2

2、（本题 12 分）3 线-8 线译码器 74LS138 构成的电路如图 3 所示， A 、 B 、 C 为输入变量。

- （1）试写出输出函数 Y 的最简与-或表达式；（4 分）
- （2）列出真值表；（4 分）
- （3）描述此电路的逻辑功能。（4 分）

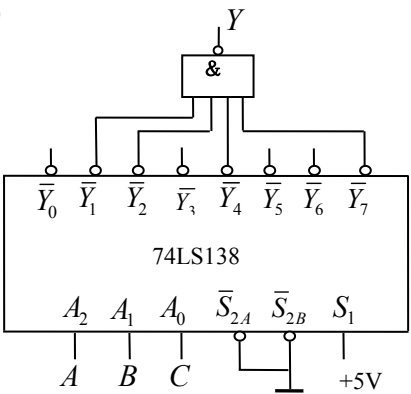


图 3

七、综合分析设计题（共 48 分）

1.（本题 12 分）分析题图 4 所示 74HC194 电路，功能表见表 1。设电路的 $D_3D_2D_1D_0=1110$ ，画出在 4 个时钟 CP 作用下 Q_3 、 Q_2 、 Q_1 和 Q_0 的波形时序图，分析电路逻辑功能。

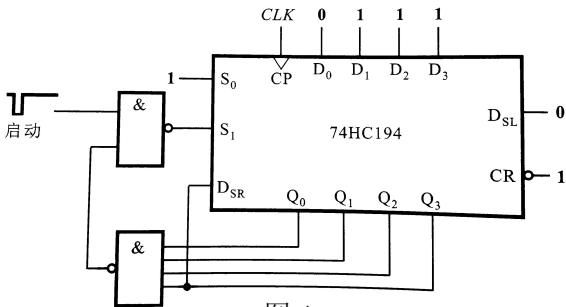


图 4

表 1 74LS194 的功能表

输 入						输 出							
清零	控制信号		串行输入		时钟 CP	并行输入				Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}
\overline{CR}	S_1	S_0	右移 D_{SR}	左移 D_{SL}		DI_0	DI_1	DI_2	DI_3				
L	x	x	x	x	x	x	x	x	x	L	L	L	L
H	L	L	x	x	x	x	x	x	x	Q_0^n	Q_1^n	Q_2^n	Q_3^n
H	L	H	L	x	↑	x	x	x	x	L	Q_0^n	Q_1^n	Q_2^n
H	L	H	H	x	↑	x	x	x	x	H	Q_0^n	Q_1^n	Q_2^n
H	H	L	x	L	↑	x	x	x	x	Q_1^n	Q_2^n	Q_3^n	L
H	H	L	x	H	↑	x	x	x	x	Q_1^n	Q_2^n	Q_3^n	H
H	H	H	x	x	↑	DI_0^n	DI_1^n	DI_2^n	DI_3^n	DI_0^n	DI_1^n	DI_2^n	DI_3^n

2. （本题 12 分）4 位二进制计数器 74LS161 的逻辑符号和功能表如图 5 所示。试用 74LS161 实现 9 进制计数器，分别用两种方案设计电路图。

- (1) 用异步反馈清零法；（6 分）
- (2) 用同步反馈置数法。（6 分）

74161 的功能表

清零	预置	使能		时钟	预置数据输入				输出			
R_0	\overline{LD}	EP	ET	CP	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0
0	x	x	x	x	x	x	x	x	0	0	0	0
1	0	x	x	↑	d_3	d_2	d_1	d_0	d_3	d_2	d_1	d_0
1	1	0	x	x	x	x	x	x	保 持			
1	1	x	0	x	x	x	x	x	保 持			
1	1	1	1	↑	x	x	x	x	计 数			

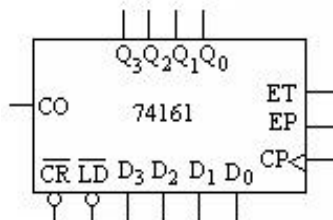


图 5

3. （本题 12 分）七段码显示译码器 74HC4511。图 6 (c) 为 74HC4511 功能表。

- (1) 分析 74HC4511 相连的七段码显示器的类型（共阴、共阳）（2 分）？
- (2) 当 74HC4511 的 $LT=0$ 时，七段码显示器显示的内容。当 74HC4511 的 $BL=0$ ， $LT=1$ 时，七段码显示器显示的内容（4 分）？
- (3) 电路如图 6 (a)，当输入图 6 (b) 所示波形，分析显示器显示的字符序列（6 分）？

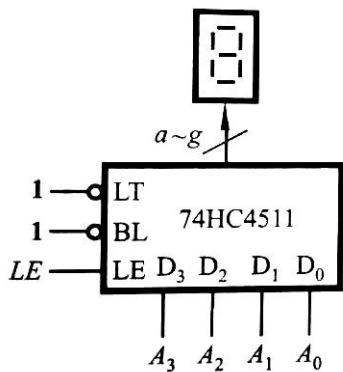


图 6 (a)

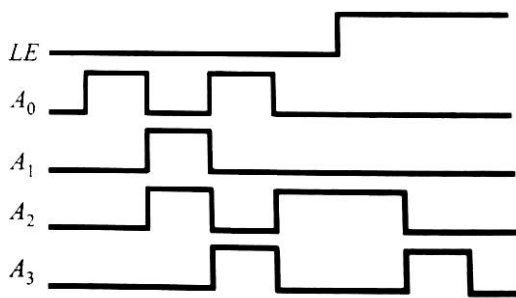


图 6 (b)

十进制数 或功能	输 入							输 出							字形
	LE	\overline{BL}	\overline{LT}	D ₃	D ₂	D ₁	D ₀	a	b	c	d	e	f	g	
0	L	H	H	L	L	L	L	H	H	H	H	H	H	L	0
1	L	H	H	L	L	L	H	L	H	H	L	L	L	L	1
2	L	H	H	L	L	H	L	H	H	L	H	H	L	H	2
3	L	H	H	L	L	H	H	H	H	H	H	L	L	H	3
4	L	H	H	L	H	L	L	L	H	H	L	L	H	H	4
5	L	H	H	L	H	L	H	H	L	H	H	L	H	H	5
6	L	H	H	L	H	H	L	L	L	H	H	H	H	H	6
7	L	H	H	L	H	H	H	H	H	H	L	L	L	L	7
8	L	H	H	H	L	L	L	H	H	H	H	H	H	H	8
9	L	H	H	H	L	L	H	H	H	H	H	L	H	H	9
10	L	H	H	H	L	H	L	L	L	L	L	L	L	L	熄灭
11	L	H	H	H	L	H	H	L	L	L	L	L	L	L	熄灭
12	L	H	H	H	H	L	L	L	L	L	L	L	L	L	熄灭
13	L	H	H	H	H	L	H	L	L	L	L	L	L	L	熄灭
14	L	H	H	H	H	H	L	L	L	L	L	L	L	L	熄灭
15	L	H	H	H	H	H	H	L	L	L	L	L	L	L	熄灭
灯测试	x	x	L	x	x	x	x	H	H	H	H	H	H	H	8
灭 灯	x	L	H	x	x	x	x	L	L	L	L	L	L	L	熄灭
锁 存	H	H	H	x	x	x	x	*							*

图 6 (c)

4、(本题 12 分) 试用下降沿 D 触发器设计一同步时序电路，状态图如图 7 (a) 所示，S0、S1、S2 的编码如图 7 (b) 所示。

(1) 确定激励方程组和输出方程，列出状态转换表 (6 分)。

(2) 画出逻辑电路图 (6 分)。

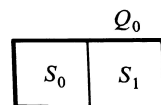
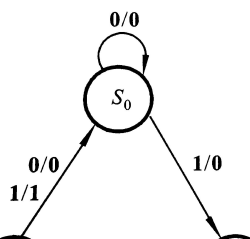


图 7 (a)

图 7 (b)